

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04363675 A**(43) Date of publication of application: **16.12.92**

(51) Int. Cl

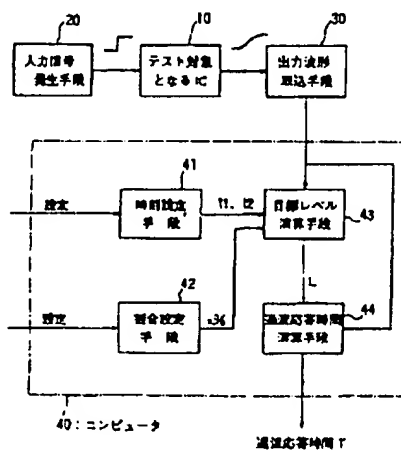
G01R 31/28(21) Application number: **03165036**(22) Date of filing: **10.06.91**(71) Applicant: **DAINIPPON PRINTING CO LTD**(72) Inventor: **TARUMOTO NORIHIRO
WATANABE TAKUJI**(54) **IC TESTER**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To obtain an IC tester capable of obtaining an accurate transient response time by simple operation.

CONSTITUTION: A step like input signal is applied to an IC 10 to be tested from an input signal generating means 20 and the output signal corresponding to said input signal is taken in a computer 40 through an output signal taking-in means 30. A predetermined time t1 before the rising of the output signal and a predetermined time t2 after the rising of said output signal are set to a time setting means 41 and a change ratio % is set to a ratio setting means 42. An objective level operation means 43 calculate the level L1 at the time t1 and the level L2 at the time t2 with respect to a taken-in output waveform and the space between the output levels L1,L2 is divided proportionally by the change ratio x% to calculate an objective level L. A transient response time operation means 44 calculates the time (t) reaching the objective level L with respect to the output waveform and the time from the rising point of time of the input signal to the time (t) is calculated as a transient response time T to be measured.



Express Mail #EL 719 795046 US

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平4-363675

(43)公開日 平成4年(1992)12月16日

(51)Int.Cl.⁵

G 0 1 R 31/28

識別記号

庁内整理番号

F I

技術表示箇所

6912-2G

G 0 1 R 31/ 28

M

6912-2G

Q

6912-2G

R

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号

特願平3-165036

(22)出願日

平成3年(1991)6月10日

(71)出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72)発明者 樽本 憲寛

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

(72)発明者 渡辺 卓司

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

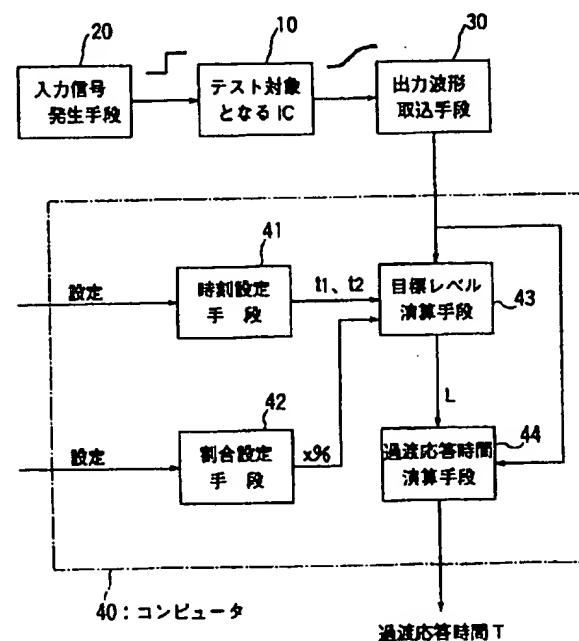
(74)代理人 弁理士 志村 浩

(54)【発明の名称】 ICテスト装置

(57)【要約】

【目的】 簡単な操作で正確な過渡応答時間Tを得ることのできるICテスト装置を提供する。

【構成】 テスト対象となるIC10に対して、入力信号発生手段20からステップ状の入力信号を与え、これに対する出力信号を出力信号取込手段30を介してコンピュータ40に取り込む。時刻設定手段41には、出力信号立ち上がり前の所定の時刻 t_1 および立ち上がり後の所定の時刻 t_2 が設定され、割合設定手段42には変化割合 $x\%$ が設定される。目標レベル演算手段43は、取り込んだ出力波形について、時刻 t_1 におけるレベル L_1 と時刻 t_2 におけるレベル L_2 とを求め、出力レベル L_1 と L_2 との間を、変化割合 x で按分することにより、目標レベル L を求める。過渡応答時間演算手段44は、出力波形について、目標レベル L に到達する時刻 t を求め、入力信号立ち上がり時点から時刻 t に至るまでの時間を、測定すべき過渡応答時間Tとして求める。



Express Mail #EL719795046US

【特許請求の範囲】

【請求項1】 テスト対象となるICに対して、所定の入力信号を与えたときに、この入力信号に応じた出力信号レベルの変化が所定の割合に到達するまでに要する過渡応答時間Tを測定するためのICテスト装置であって、ICに与える所定の入力信号を発生させる入力信号発生手段と、ICから出力される出力信号の波形を取り込む出力波形取込手段と、所定の基準時刻 t_0 に対して、所定の時刻 t_1 および t_2 を設定する時刻設定手段と、測定すべき過渡応答時間を規定する出力信号レベルの変化割合 α を設定する割合設定手段と、前記出力波形取込手段によって取り込んだ出力波形について、前記時刻 t_1 におけるレベル L_1 と、時刻 t_2 におけるレベル L_2 と、を求め、出力レベル L_1 と L_2 との間を、前記変化割合 α で按分することにより、目標レベル L を求める目標レベル演算手段と、前記出力波形取込手段によって取り込んだ出力波形について、前記目標レベル L に到達する時刻 t を求め、前記基準時刻 t_0 から時刻 t に至るまでの時間を、測定すべき過渡応答時間Tとして求める過渡応答時間演算手段と、を備えることを特徴とするICテスト装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明はICテスト装置、特に、テスト対象となるICに対して、所定の入力信号を与えたときに、この入力信号に応じた出力信号レベルの変化が所定の割合に到達するまでに要する過渡応答時間Tを測定するためのICテスト装置に関する。

【0002】

【従来の技術】 マイクロコンピュータ、メモリ、論理回路など、ICを用いた電子回路では、入力信号を与えたときに、期待どおりの出力信号が得られることが要求される。このような要求を満たしているか否かをテストするICテスト装置では、通常、所定の周期的なテストパターンを入力信号として与え、このときに得られる出力信号の波形パターンを解析することによりテストを行っている。特に、テスト対象となるICに対して、ステップ状の入力信号を与えたときに、これに応じた出力信号の変化の過渡特性を解析することは重要である。たとえば、0V～5Vにステップ状に立ち上がる入力信号を与えたとき、同じく0V～5Vに立ち上がる出力信号が得られるようなICについて、過渡特性の解析を行うことを考える。この場合の過渡特性は、たとえば、入力信号が立ち上がった時点から、出力信号が50%まで立ち上がる時点まで、どの程度の時間がかかったか、というデータに基づいて定量的に判断される。すなわち、入力信号に応じた出力信号レベルの変化が所定の割合（この場合50%）に到達するまでに要する過渡応答時間Tを測定することにより、過渡特性の定量的な解析が可能になる。

【0003】

【発明が解決しようとする課題】 従来のICテスト装置において、上述のような過渡応答時間Tを測定するためには、予め目標となる出力信号レベルを設定しておき、出力信号がこの目標レベルに到達するまでの時間を求める必要がある。たとえば、上述の例では、出力信号が50%まで立ち上がる場合の目標レベルは2.5Vである。したがって、オペレータは、予め目標レベルを2.5Vとする設定作業を行わねばならない。しかも、出力信号が0V～3Vに立ち上がるような出力信号が得られるICについてのテストを行うためには、目標レベルを1.5Vに変更する作業が必要になる。このため、種々のICについてのテストを行う場合、オペレータの作業負担が重いという問題があった。また、出力信号が本来は0V～5Vに変化するべきものであるのに、電源電圧の変動などの原因により、実際には0.1V～5.2Vに変化したような場合、目標レベルを2.5Vに設定したのでは正しい過渡応答時間Tを得ることはできない。

【0004】 そこで本発明は、簡単な操作で正確な過渡応答時間Tを得ることのできるICテスト装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、テスト対象となるICに対して、所定の入力信号を与えたときに、この入力信号に応じた出力信号レベルの変化が所定の割合に到達するまでに要する過渡応答時間Tを測定するためのICテスト装置において、ICに与える所定の入力信号を発生させる入力信号発生手段と、ICから出力される出力信号の波形を取り込む出力波形取込手段と、所定の基準時刻 t_0 に対して、所定の時刻 t_1 および t_2 を設定する時刻設定手段と、測定すべき過渡応答時間を規定する出力信号レベルの変化割合 α を設定する割合設定手段と、出力波形取込手段によって取り込んだ出力波形について、時刻 t_1 におけるレベル L_1 と、時刻 t_2 におけるレベル L_2 と、を求め、出力レベル L_1 と L_2 との間を、前記変化割合 α で按分することにより、目標レベル L を求める目標レベル演算手段と、出力波形取込手段によって取り込んだ出力波形について、目標レベル L に到達する時刻 t を求め、基準時刻 t_0 から時刻 t に至るまでの時間を、測定すべき過渡応答時間Tとして求める過渡応答時間演算手段と、を設けたものである。

【0006】

【作用】 本発明によるICテスト装置では、時刻設定手段に、所定の時刻 t_1 および t_2 が設定されている。ここで、時刻 t_1 は、入力信号を与えた後、出力信号がまだ変化をみせる前の期間中と予想される任意の時刻であり、時刻 t_2 は、入力信号を与えたことにより出力信号が変化し、その変化が十分に安定したと予想される任意の時刻である。別言すれば、時刻 t_1 における出力信号の変化は0%であり、時刻 t_2 における出力信号の変

化は100%であると予想されることになる。目標レベル演算手段は、この2つの時刻において実際に測定された出力信号のレベル値 L_1 、 L_2 を用い、目標レベルを自動的に演算する機能を果たす。したがって、従来のICテスト装置のように、オペレータが目標レベルを設定する必要はない。また、出力信号の0%に相当する電圧値および100%に相当する電圧値が変わった場合であっても、常に実際に測定された出力信号のレベルに基づいて目標レベルの演算がなされるので、どのような場合にも正確な目標レベルの設定が可能になる。

【0007】

【実施例】以下、本発明を図示する実施例に基づいて説明する。図1は本発明に係るICテスト装置の基本構成を示すブロック図である。この装置は、テスト対象となるIC10について、過渡応答時間 T を求める機能をもつ。このICテスト装置の基本的な構成要素は、テスト対象となるIC10に与えるステップ状の入力信号を発生させる入力信号発生手段20と、IC10から出力される出力信号の波形を取り込む出力波形取込手段30と、この出力信号の波形を解析するコンピュータ40である。入力信号発生手段20は、所定の入力信号を発生できる装置であれば、どのようなものを用いてもかまわない。また、出力波形取込手段30は、IC10が出力するアナログ信号を、デジタル信号に変換するA/D変換器を備え、この変換後のデジタル信号をコンピュータ40に入力させる機能をもった装置であれば、どのような構成の装置でもかまわない。

【0008】図では、コンピュータ40の構成を4つの機能ブロックで示してある。すなわち、入力信号のステップ状の変化時点を基準時刻 t_0 として、所定の時刻 t_1 および t_2 を設定する時刻設定手段41と、測定すべき過渡応答時間を規定する出力信号レベルの変化割合 x を設定する割合設定手段42と、出力波形取込手段30によって取り込んだ出力波形について、時刻 t_1 におけるレベル L_1 と、時刻 t_2 におけるレベル L_2 と、を求め、出力レベル L_1 と L_2 との間を、変化割合 x で按分することにより、目標レベル L を求める目標レベル演算手段43と、出力波形取込手段30によって取り込んだ出力波形について、目標レベル L に到達する時刻 t を求め、基準時刻 t_0 から時刻 t に至るまでの時間を、測定すべき過渡応答時間 T として求める過渡応答時間演算手段44である。実際には、これらの各ブロックは、コンピュータを構成するハードウェアおよびこれを動作させるためのソフトウェアによって実現される。

【0009】続いて、この装置の動作を、より具体的な実施例に基づいて説明する。いま、たとえば、入力信号発生手段20によって、図2に示すようなステップ状に変化する入力信号 A を発生し、これをテスト対象となるIC10に与えた場合を考える。この入力信号 A は、時刻 t_0 において0V~5Vに瞬間的に立ち上がるステッ

プ信号である(実際の回路では、このような信号を発生させることは不可能であるが、ここでは便宜上、このような理想的なステップ信号を発生させたものとして説明する)。このような入力信号 A を与えると、IC10からは、たとえば、図2に示すような出力信号 B が得られる。このように、IC10から出力される信号は、入力信号がなまった形のものとなる。本発明によるICテスト装置の目的は、この出力信号 B のレベルの変化が所定の割合に到達するまでに要する過渡応答時間 T を測定することである。たとえば、所定の割合として50%を設定したとする。この場合、出力信号 B のレベルは、0V~5Vに変化しているので、この変化を0%~100%の変化と考えれば、50%の2.5Vに到達する時刻は、図の時刻 t ということになり、求める過渡応答時間 T は、時刻 t_0 ~時刻 t に至るまでの時間ということになる。

【0010】ここで、参考のために、従来のICテスト装置においては、どのようにして過渡応答時間 T が測定されていたかを簡単に述べておく。まず、オペレータは、出力信号のレベル変化が50%となる目標レベルを、電圧値として設定する。すなわち、出力信号が0V~5Vに変化すると予想し、目標レベルとして2.5Vなる電圧値を設定する。そして、コンピュータ40は、取り込んだ出力波形 B を解析し、電圧値が2.5Vとなる時刻 t を求める。こうして、過渡応答時間 T を求めることができる。ところが、このような従来装置では、オペレータによる目標レベルの設定作業が必要になり、異なる電圧レベルを用いた測定を行う場合、その都度、目標レベルを設定する必要がある。また、電源電圧が変動したときに、正確な測定ができなくなるという問題がある点は前述したとおりである。たとえば、出力信号が0V~3Vに変化するICについてのテストでは、目標レベルを1.5Vに修正しなければならない。また、出力信号が0V~5Vに変化すると予想されたICについてのテストで、実際には、0.1V~5.2Vに変化した場合などは、目標レベルを2.5Vに設定したのでは、正確な測定はできなくなる。

【0011】本発明によるICテスト装置では、正確な目標レベルが自動的に設定されるのである。以下、その動作を説明する。まず、オペレータは、時刻設定手段41に、入力信号のステップ状の変化時点を基準時刻 t_0 として、所定の時刻 t_1 および t_2 を設定する。ここで、時刻 t_1 は、入力信号を与えた後、出力信号がまだ変化をみせる前の期間中と予想される任意の時刻であり、時刻 t_2 は、入力信号を与えたことにより出力信号が変化し、その変化が十分に安定したと予想される任意の時刻である。別言すれば、時刻 t_1 における出力信号の変化は0%であり、時刻 t_2 における出力信号の変化は100%であると予想されることになる。具体的には、図2に示すように、基準時刻 t_0 のすぐ近傍に時刻

t_1 を設定し、そこから十分な時間が経過した位置に時刻 t_2 を設定するようにすればよい。時刻 t_1 は、出力信号Bが立ち上がる時点よりも十分に前であり、時刻 t_2 は、出力信号Bが完全に立ち上がった後である。また、オペレータは、割合設定手段42に、測定すべき過渡応答時間Tを規定する出力信号レベルの変化割合 x を設定する。たとえば、出力信号レベルの変化が50%に到達するまでに要する過渡応答時間Tを測定するには、変化割合 $x=50\%$ を設定しておけばよい。このように、このICテスト装置では、オペレータは時刻 t_1 、 t_2 と変化割合 x を設定する作業を行うだけでよく、これらの設定値は一度設定しておけば、たとえ入出力信号の電圧値が変わっても、変える必要はない。

【0012】さて、出力波形取込手段30から、図2に示すような出力信号Bが取り込まれると、目標レベル演算手段43は、次のような方法により、目標レベルを自動的に演算する。まず、この出力波形Bについて、設定時刻 t_1 におけるレベル L_1 と、時刻 t_2 におけるレベル L_2 と、を求める。図2に示す例では、 $L_1=0V$ 、 $L_2=5V$ となる。そして、この出力レベル L_1 と L_2 との間を、変化割合 x で按分することにより、目標レベル L を求める。すなわち、

$$L = L_1 + (L_2 - L_1) \cdot x$$

なる演算により、目標レベル L が求まる。図2に示す例では、 $0V$ と $5V$ の間を変化割合50%で按分することにより、目標レベル $L=2.5V$ を得る。こうして、目標レベル L が求まると、過渡応答時間演算手段44は、出力信号Bを解析して、電圧値が目標レベル L に等しくなる時刻 t を求め、時刻 t_0 ～時刻 t までの時間を、過渡応答時間Tとして出力する。

【0013】このような方法で、過渡応答時間Tを求めるようにすると、出力信号Bの電圧値がどのようなレンジをとる場合であっても支障は生じない。たとえば、出力信号Bが $0V \sim 3V$ のレンジをとる場合では、 $L_1=0V$ 、 $L_2=3V$ という測定結果が得られ、目標レベルは $L=1.5V$ と適切な値になる。また、電源電圧が変動するなどの原因で、出力信号Bが $0.1V \sim 5.2V$ のレンジをとる場合では、 $L_1=0.1V$ 、 $L_2=5.2V$ という測定結果が得られ、目標レベルは $L=2.65V$ と正確な値になる。

【0014】前述のように、出力波形取込手段30は、出力信号をデジタル化してコンピュータ40に入力する。そこで、目標レベル演算手段43および過渡応答時間演算手段44における演算処理は、このデジタル化されたデータに基づいて行われる。したがって、図2に示す出力信号Bは、サンプリングされたとびとびの値でしか定義されていないことになる。そこで、たとえば、時刻 t_1 に対応する電圧値 L_1 や時刻 t_2 に対応する電圧値 L_2 を求める場合、あるいは、目標レベル L に対応する時刻 t を求める場合、いわゆるバイナリサーチ法を用

いるようにするとよい。このバイナリサーチ法は、公知の技術であるが、ここでは簡単に原理だけを述べておく。

【0015】いま、図3に示すような、時間と電圧値との関係を示すグラフCが与えられているときに、所定の時刻 t_x に対応する電圧値 V_x をバイナリサーチ法で求めることを考える。この電圧値 V_x をバイナリサーチ法で求める手順の流れ図を図4に示す。まず、図3に示すように、所定の時刻 t_x を境界として、時間軸の一方をパス領域、他方をフェイル領域と定義する。そして、ステップS1において、対応する時刻 t_p が、十分にパス領域内に存在するであろうと期待される電圧値 V_p を設定する。同様に、ステップS2において、対応する時刻 t_f が、十分にパス領域内に存在するであろうと期待される電圧値 V_f を設定する。そして、ステップS3において、 $V_M = (V_p + V_f) / 2$ なる式によって、中間値 V_M を求める。図3では、このようにして求められた中間値 V_M を、1回目の中間値という意味で V_{M1} と示してある。続いてステップS4において、 $|V_p - V_M|$ が、所定の分解能よりも小さくなったか否かを判断する。ここで否定的な判断がなされたら、ステップS5において、 V_M がパス領域にあるか否かが判断される。図3の例では、 V_{M1} に対応する時刻 t_{M1} はパス領域にあると判断できる。この場合は、ステップS6において、今までの中間値 V_M を新たな V_p として、ステップS3へ戻る。逆に、フェイル領域にあった場合には、ステップS7において、今までの中間値 V_M を新たな V_f として、ステップS3へ戻る。結局、図3の例では、 V_{M1} を新たな V_p として、ステップS3へ戻ることになる。そして、ステップS3において、この V_{M1} （新たな V_p ）と V_f との中間値 V_{M2} が求められ、ステップS4で否定的な判断がなされると、ステップS5において、 V_{M2} に対応する時刻 t_{M2} がパス領域にあるか否かが判断される。図3の例では、時刻 t_{M2} はフェイル領域にあるため、ステップS7において、今までの中間値 V_{M2} を新たな V_f として、ステップS3に戻ることになる。こうして、 V_p および V_f の位置が順次更新され、両者の間隔は徐々に縮まってくる。最終的に、ステップS4において、 $|V_p - V_M|$ が、所定の分解能よりも小さくなったと判断されれば、ステップS8において、そのときの V_p の値を求める V_x とし、バイナリサーチ法は完了する。なお、所定の電圧値 V_x に対応する時刻 t_x を求める場合も、上述と同様の手順によってバイナリサーチ法を用いることができる。

【0016】以上、本発明を図示する実施例に基づいて説明したが、本発明はこの実施例のみに限定されるものではなく、この他にも種々の態様で実施可能である。たとえば、上述の実施例では、入力信号としてステップ状に立ち上がる信号を用いているが、逆にステップ状に立ち下がる信号を用いてもかまわない。あるいは、よりゆ

るやかに変化する信号を用いてもよい。また、上述の実施例では、デジタルデータに対する演算をバイナリサーチ法によって行う例を示したが、この他の方法によって演算を行ってもかまわない。

【0017】

【発明の効果】以上のとおり本発明によるICテスト装置では、目標レベル演算手段が、実際に測定された出力信号のレベル値 L 1、 L 2を用いて目標レベルを自動的に演算するため、目標レベルの設定作業が不要になり、簡単な操作で正確な過渡応答時間 T を得ることができるようになる。

【図面の簡単な説明】

【図1】本発明に係るICテスト装置の基本構成を示すブロック図である。

【図2】図1に示す装置において用いられる入力信号および出力信号を示すグラフである。

【図3】図1に示す装置で行われるバイナリサーチ法を

説明するグラフである。

【図4】図1に示す装置で行われるバイナリサーチ法の手順を示す流れ図である。

【符号の説明】

10…テスト対象となるIC

20…入力信号発生手段

30…出力波形取込手段

40…コンピュータ

41…時刻設定手段

42…割合設定手段

43…目標レベル演算手段

44…過渡応答時間演算手段

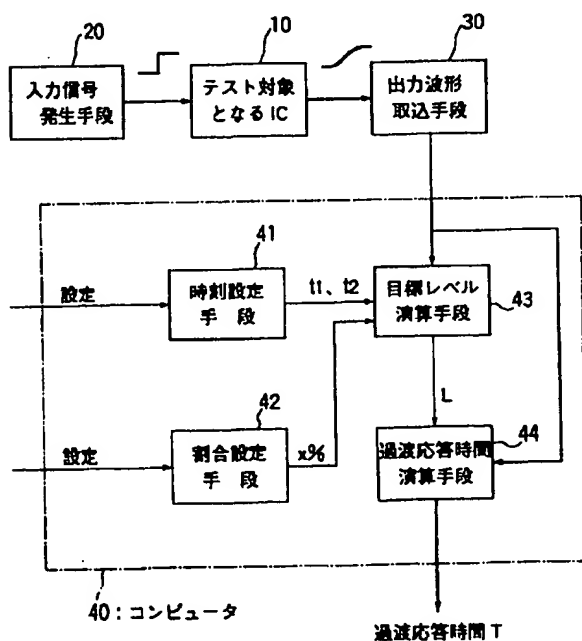
A…入力信号

B…出力信号

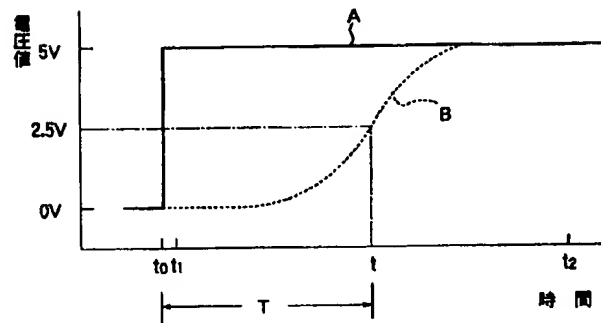
C…時間と電圧値との関係を示すグラフ

T…過渡応答時間

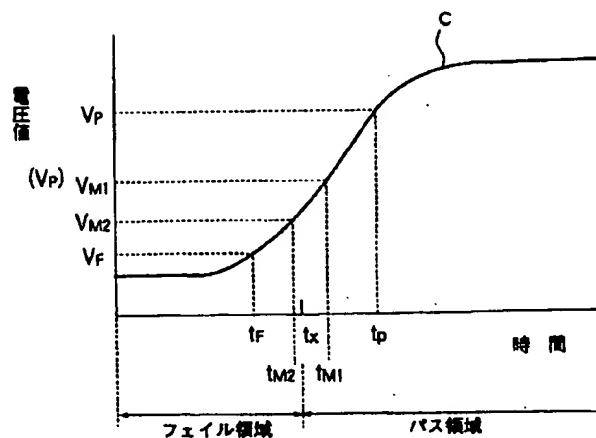
【図1】



【図2】



【図3】



【図4】

